

Implementación ASIC de un microprocesador RISC-V para un SoC TSN

Autor: Francisco Duque El Ayachi

Tutor: Dr. Pedro Pérez Carballo

GITT (Sistemas Electrónicos), Diciembre 2022

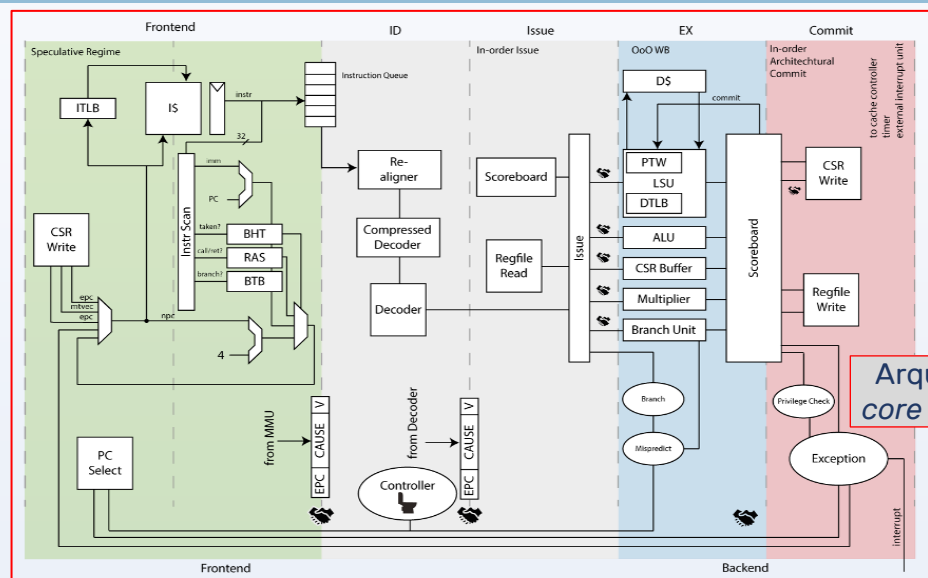
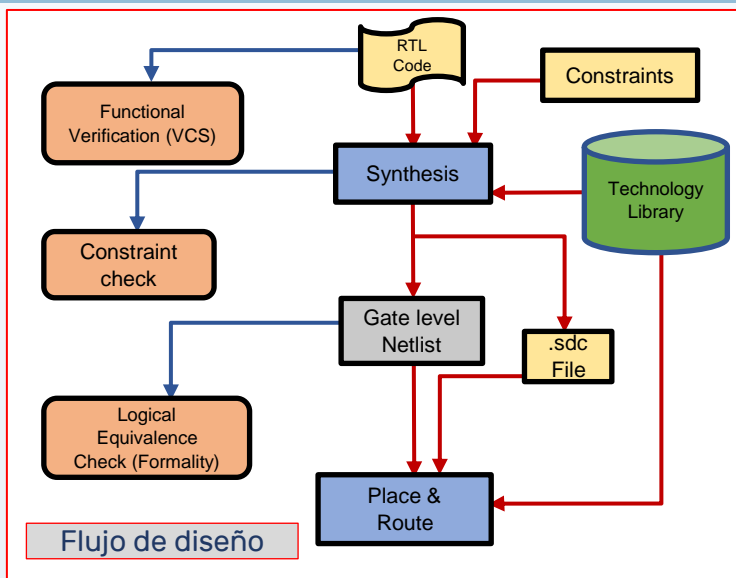
INTRODUCCIÓN

- **RISC-V** es una arquitectura de juegos de instrucciones (Instruction Set Architecture - ISA) libre y abierta, que cuenta con sus propias *tool-chain*.
- El bloque IP elegido es **CVA6**, cuenta con todo el flujo de trabajo necesario para su **verificación** y **síntesis** del diseño.
- Se simula el core bajo una serie de *tests* con el *software Verilator* y la síntesis del diseño siguiendo el flujo de la herramienta de *Synopsys Design Compiler*.
- Se genera el *layout* del diseño físico siguiendo el *floorplan* en la herramienta *IC Compiler II*

OBJETIVOS

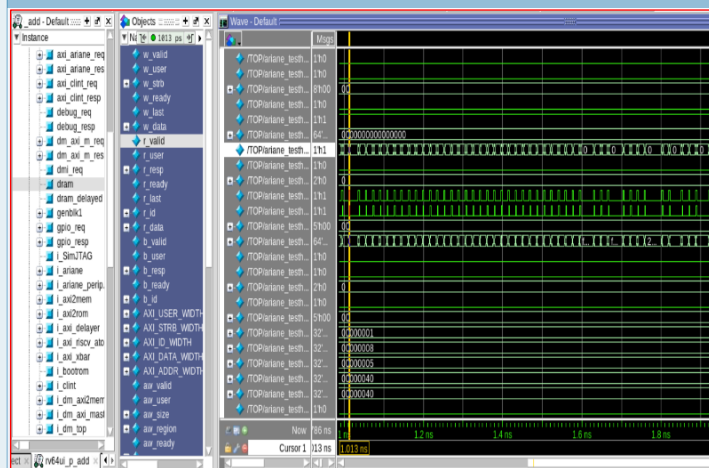
- O1. **Estudiar** en detalle la arquitectura del módulo **RISC-V** elegido.
- O2. Analizar distintas implementaciones **IP RTL de RISC-V**.
- O3. Estudiar el **flujo de diseño** necesario para realizar la implementación de un **ASIC**, incluyendo las **tecnologías de referencia** para diseño CMOS, los lenguajes de descripción *Hardware VHDL* y *Verilog*, y el flujo de diseño implicado.
- O4. **Implementar** el módulo RISC-V al flujo de diseño ASIC para su futura fabricación.
- O5. **Documentar** el trabajo realizado

METODOLOGÍA



Arquitectura del core RISC-V CVA6

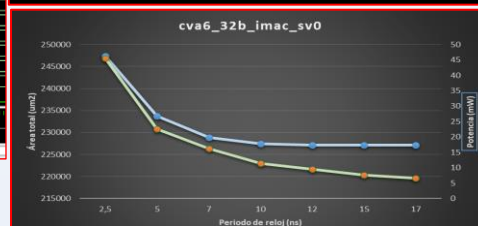
RESULTADOS



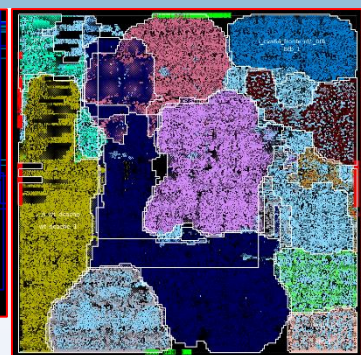
Resultados simulación test **add rv64ui**



Esquemático del diseño sintetizado



Exploración del espacio del diseño: área vs. delay



Floorplan del ASIC

| | |
|-----------------|-------------------------|
| Periodo | 7 ns |
| Área | 228.922 μm^2 |
| Potencia Total | 16,18 mW |
| Internal Power | 15,91 mW |
| Switching Power | 0,26 mW |
| Leakage Power | 6,52 mW |

Resultados PPA del ASIC

CONCLUSIONES

- Se ha realizado el estudio de la arquitectura de procesadores **RISC-V** y comprobado que las *tool-chain* propias de **RISC-V** junto un **bloque IP** de uso libre son una elección atractiva para diferentes implementaciones.
- Se utiliza el simulador *Verilator* para realizar la verificación del core, tanto a nivel *bare-metal tests*, como pequeños programas compilados para RISC-V que hacen uso del *proxy-kernel*.
- Se aplica el flujo de diseño de síntesis e implementación de las herramientas de *Synopsys Design Compiler / IC compiler II*.
- Se **compara** el diseño final para distintas **frecuencias** y diferentes **versiones** del core para su implementación en tecnología TSMC CMOS 65nm Low Power.

REFERENCIAS

- [1] A. S. Waterman, "Design of the RISC-V Instruction Set Architecture," 2016.
- [2] A. Waterman, K. A. Asanović, and J. Hauser, "The RISC-V Instruction Set Manual," 2021.
- [3] G. de Micheli, "Synthesis and Optimization of Digital Circuits" 2005.
- [4] Synopsys, "Design Compiler User Guide version D-2010.03-SP2," 2010.